

(19) Japan Patent Office (JP)

(12) Publication of Patent Application (A)

(11) Publication Number of Patent Application: 81330/1989

(43) Date of Publication of Application: March 27, 1989

(51) Int. Cl.⁴:

H 01 L 21/60

Identification Number:

Intraoffice Reference Number:

R-6918-5F

Request for Examination: not made

Number of Inventions: 1 (8 pages in total)

(21) Application Number Sho-62-240014

(22) Application Date: September 24, 1987

(71) Applicant: NEC Corporation

5-33-1, Shiba, Minato-ku, Tokyo

(72) Inventor: TAKEGAWA Koichi

c/o NEC Corporation

5-33-1, Shiba, Minato-ku, Tokyo

(74) Agent: Patent Attorney, UCHIHARA Susumu

SPECIFICATION

1. Title of the Invention

FILM CARRIER SEMICONDUCTOR DEVICE

2. Claims

(1) A film carrier semiconductor device, comprising:
a semiconductor chip in which bumps of conductor projecting parts are mounted on a number of electrode terminals arrayed like a lattice; and

a film carrier tape formed of an insulating tape for placing the semiconductor chip, having carrying and positioning holes arrayed on both sides of the tape and a plurality of device slits provided to expose the respective bumps of every two rows of the semiconductor chip, and provided with a number of leads extended from a number of external connecting terminals provided on the insulating tape corresponding to the respective bumps in the device slits, wherein the respective leads of the film carrier tape and the respective bumps of the semiconductor chip are connected to each other.

(2) The film carrier semiconductor device according to claim 1, wherein the external connecting terminals of the film carrier tape are provided on both sides of the respective device slits.

(3) The film carrier semiconductor device according to claim 1, wherein the film carrier tape has an external lead slit provided in the periphery of the device slit with support parts left at four corners to separate the respective semiconductor chips.

(4) The film carrier semiconductor device according to claim 3, wherein the leads provided on the film carrier tape respectively include an internal lead, one end of which is projected from the upside of the bump into the device slit, an external lead extended from the internal lead to the outside of the external lead slit, and a pad part of an external connecting terminal provided at the tip of the external lead.

(5) The film carrier semiconductor device according to claim 1, claim 2, claim 3 or claim 4, wherein at least the surface of the semiconductor chip is sealed with resin.

3. Detailed Description of the Invention

[Industrial Field of Application]

This invention relates to a film carrier semiconductor device and particularly to the film carrier semiconductor device having a number of leads.

[Prior Art]

According to a manufacturing method of the conventional film carrier semiconductor device, as shown in Fig. 7(a), a film carrier tape 6 in which a metal foil of copper or the like is bonded on an insulation film made of polyimide having a carrying and positioning sprocket hole 1 and a device hole 3 as a hole part where a semiconductor chip 2' enters, and the metal foil is etched to form a lead 4' of a desired shape and a pad 5 for electric selection, and a semiconductor chip 2'

previously provided with a bump 7' which is a metallic projection on the electrode terminal are prepared, and subsequently, the lead 4 of the film carrier tape and the bump 7 of the semiconductor chip are subjected to inner lead bonding by thermo compression method or eutectic method. In the state of the film carrier tape 6, a contact is brought into contact with the upside of the pad 5 for electric selection to perform electric selection or bias test, and subsequently the lead 4 is cut to a desired length. Subsequently, as shown in Fig. 7(b), for example, after the semiconductor chip 2' is fixed on a printed wiring board 8' by an adhesive 9, the lead 4 is bonded to a bonding pad 10 on the printed wiring board by outer lead bonding to complete a semiconductor device.

This type of film carrier semiconductor device manufacturing method, has the advantages that the leads can be bonded all at once regardless of the number of leads to achieve high-speed bonding and that assembling such as bonding and the electric selection work can be automated to attain excellent mass-production.

[Problems that the Invention is to Solve]

In the above conventional film carrier semiconductor device, various problems are caused due to increase in number of electrode terminals and higher processing speed as the capability of the recent semiconductor chip is enhanced in these days.

That is, although the electrode terminals of the semiconductor chip are generally arranged in a line along the peripheral edge of the semiconductor chip, when the number of electrode terminals is large as much as about 300 or more, mostly the size of the semiconductor chip is determined by arranging the electrode terminals so that the size of the semiconductor chip is increased with an increase in number of electrode terminals. Generally the increase in size of the semiconductor chip causes problems such as lowering of yield and information processing speed or increase in packaging density. When the array pitch of the electrodes is made smaller, the above problem is solved, but encountered are some problems such as problem in manufacturing the film carrier tape and problem in accuracy of inner lead bonding, and the reduction in array pitch has a limit. As to the high processing speed of the semiconductor chip or an electronic device loaded with the semiconductor chip, the problem is caused by the delay time due to resistance of the lead connecting the electrode of the semiconductor chip and the bonding pad of the printed wiring board in some case, and particularly as the number of leads is increased, the array pitch of the leads is reduced to decrease the width of the lead, resulting in increase in lead resistance.

The increase in size of the semiconductor chip and the increase in lead resistance sometimes become an irreparable

defect especially to an information processor such as a computer loaded with a number of semiconductor chips or demanded to perform high-speed information processing.

For these problems, as shown in Fig. 8(a) and 8(b), a flip chip bonding method is adopted, in which electrode terminals are formed like a lattice on the surface of a semiconductor chip 2', bumps 7' are mounted on the electrode terminals, the bumps 7' are directly bonded to a bonding pad 10 formed on a printed wiring board. In the case of this flip chip bonding method, the following advantages are obtained. The electrode terminals may arranged not only in the peripheral edge of the semiconductor chip, but also in the whole surface of the semiconductor chip to cope with the increase in number of leads, and further since the electrode terminals of the semiconductor chip and the bonding pad of the printed wiring board are directly bonded to each other, lead resistance is little to cope with high processing speed and also improve the packaging density.

It is, however, general that the semiconductor chip is made of silicon and the printed wiring board is made of ceramics or insulating resin, and silicon and substrate material are different in coefficient of thermal expansion, resulting in the problem that a difference in thermal expansion due to heat generated during the operation of the semiconductor chip greatly exerts influence upon the bonding part to cause cracks

and peel-off in the bonding part. Especially, the high-speed operating semiconductor chip has a large heating value, and also the semiconductor chip is connected only by the bump 7, resulting in the disadvantage that the heat dissipation of the semiconductor is bad. The semiconductor device of multi-electrode terminal in the flip flop bonding has many problems.

It is an object of the invention to solve the problems and provide a film carrier semiconductor device, which may cope with lattice-like array of the electrode terminals and relax a thermal shock to the bonding part by bonding through a lead.
[Means for Solving the Problems]

A film carrier semiconductor device of the invention includes: a semiconductor chip in which bumps of conductor projecting parts are mounted on a number of electrode terminals arrayed like a lattice; and a film carrier tape formed of an insulating tape for placing the semiconductor chip, having carrying and positioning holes arrayed on both sides of the tape and a plurality of device slits provided to expose the respective bumps of the semiconductor chip, and provided with a number of leads extended from a number of external connecting terminals provided on the insulating tape corresponding to the respective bumps in the device slits on both sides of the device slits, wherein the respective leads of the film carrier tape and the respective bumps of the semiconductor chip are

connected to each other.

[Embodiments]

The invention will now be described with reference to the drawings. Fig. 1(a) is a plan view of one embodiment according to the invention, and Fig. 1(b) is a sectional view taken along line A - A' of Fig. 1(a). In the present embodiment, bumps 7 of a semiconductor chip 2 are arrayed like a lattice. A film carrier tape 6 is provided with sprocket holes 1, which are carrying and positioning holes, device slits 11, which are at least two or more and provided like a slit to expose the bump of the semiconductor chip 2, a lead 4, one end of which is projected into the device slit, the other end thereof being provided with an external connecting terminal 12, and a lead slit 14 surrounding the lead 4 and the external connecting terminal 12 with a support part 13 left. The leads 4 of the film carrier tape 6 are connected to the bumps 7 of the semiconductor chip 2.

A manufacturing method of this film carrier semiconductor device will be described.

As shown in the drawing, the film carrier tape 6 in which a metal foil made of copper or the like is bonded on an insulating film having the sprockets 1, which are carrying and positioning holes, the device slits 11, which are at least two or more and provided like a slit to expose the bumps 7 which are electrodes of the semiconductor chip 2, and the lead slits 14 with the

support frame 13 left, the metal foil is etched or the like to form the lead 4 of a desired shape and the external connecting terminal 12, and tin-plating is performed by electroless plating, and the semiconductor chip 2 in which bumps 7 which are metallic projections are previously provided like a lattice on the electrode terminals are prepared, and the leads 4 of the film carrier tape and the bumps 7 of the semiconductor chip are bonded by inner lead bonding.

In this case, the lead 4 of the film carrier tape is projected at one end thereof in the device hole 11, so that the number of lattice-like arrays of the electrodes in the semiconductor chip can be increased by increasing the number of device holes 11. In the inner lead bonding, when a press-bonding tool is provided with a press-bonding part formed to be projected corresponding to the device hole, inner lead bonding can be performed in the same method as before. Further, the external lead-out terminal 12 may be formed like a projection by soldering or the like to facilitate outer lead bonding in the post-process.

Subsequently, the support part 13 of the film carrier tape is cut off, and the semiconductor chip 2 where inner lead bonding is completed is separated from the film carrier tape.

Subsequently, with the surface of the semiconductor chip down as shown in Fig. 2, previously the external connecting terminal 12 of the film carrier tape is bounded to the bonding

pad 10 or the bonding pad 10 of a printed wiring board 8 provided with desired wiring by outer lead bonding to complete the device. At this time, since it is impossible to perform bonding using the conventional press-bonding tool, the projection-like solder provided on the external connecting terminal 12 is fused to perform bonding.

Although the projection-like solder is provided on the external connecting terminal 12 of the film carrier tape in the present embodiment, it may be provided on the bonding pad of the printed wiring board, or on both of them. As the projecting height, about 10 to 50 μm is suitable.

Since the tape slit 14 is provided to facilitate cutting off the tape after inner lead bonding, a slit width ranging from 0.5 to 1mm will suffice, and when the film carrier is cut off to surround the lead 4 and the external connecting terminal 12, the tape slit 14 and the support part 13 are unnecessary.

Further, as to the material of the film carrier tape, although it is sufficient that copper foil 35 μm thick is bonded to a generally used polyimide film 127 μm thick to form a lead, in order to avoid influence upon a connecting part between the external connecting terminal and the bonding pad of the printed wiring board due to a dimensional change caused by thermal expansion or like, it is suitable that the polyimide film is 75 to 100 μm thick, and a coefficient of thermal expansion is about equal to or less than $1.5 \times 10^{-6}\text{cm/cm/}^{\circ}\text{C}$.

Further, as lead plating, tin is suitable because it will facilitate electroless plating, and it is possible that a plating thickness is about 0.3 to 1 μ m. Electroless gold plating may be similarly performed, and as to the plating thickness, 0.1 to 0.3 μ m or more is possible.

Fig. 3 is a longitudinal section of a second embodiment of the invention. Similarly to the embodiment 1, bumps 7 are arrayed like a lattice on a semiconductor chip 2, and on the other hand, at least two or more device slits 11 provided like a slit to expose the bumps of the semiconductor chip, a lead 4, one end of which is projected into the device slit 11, the other end thereof being provided with an external connecting terminal 12, and a tape slit 14 surrounding the lead 4 and the external connecting terminal 12 are provided. The lead 4 of a film carrier tape is connected to the bump 7 of the semiconductor chip. Further, resin 15 is sealed up to cover the surface of the semiconductor chip at least.

A manufacturing method of the above film carrier semiconductor device will now be described. Similarly to the embodiment 1, as shown in Figs. 1(a), 1(b), the film carrier tape 6 in which a metal foil made of copper or the like is bonded on an insulating film having the sprocket holes 1, which are carrying and positioning holes, the device slits 11, which are at least two or more and provided like a slit to expose the bumps which are electrodes of the semiconductor chip 2, and

the lead slits 14 with the support frame 13 left, the metal foil is etched or the like to form the lead of a desired shape and the external connecting terminal 12, and tin-plating is performed by electroless plating, and the semiconductor chip 2 in which bumps 7 which are metallic projections are previously provided like a lattice on the electrode terminals are prepared, and the leads 4 of the film carrier tape and the bumps 7 of the semiconductor chip are bonded by inner lead bonding.

Subsequently, as shown in Fig. 3, resin 15 is sealed up to cover the surface of the semiconductor chip at least. As the resin, liquid resin such as epoxy resin or silicon resin is used, and when the resin is dripped from the device slit 14, the surface of the semiconductor chip can be easily covered and sealed.

Subsequently, similarly to the embodiment 1, the support part 13 of the film carrier tape is cut off to separate the semiconductor chip 2 from the film carrier tape, and as shown in Fig. 3, with the chip surface down, the bonding pad 10 of the printed wiring board 8 and the external connecting terminal 12 of the film carrier tape are bonded by outer lead bonding to complete the device.

In this case, in the second embodiment, since the surface of the semiconductor chip 2 is sealed with resin, the reliability such as moisture resistance is improved, besides the mechanical strength can be increased, which leads to the

advantage that when outer lead bonding is performed to the printed wiring board with the surface down, even if load is applied from the back of the semiconductor chip, the film provided with the external connecting terminal located at the semiconductor surface can be bonded without deformation to attain high-reliability bonding. As the resin thickness, about 10 to 20 μm is enough, but in order to obtain satisfactory mechanical strength, preferably the thickness has such a range that the gap between the semiconductor chip and the film located on the semiconductor chip is filled up with resin, and also not to exceed the height of the external connecting terminal on the tape carrier film, so about 50 to 120 μm is suitable.

Figs. 4(a) and 4(b) are a plan view of a third embodiment of the invention and a sectional view taken along line A - A' thereof. In present embodiment, a lead is different in structure from the embodiment 1, and the lead 20 is provided with an internal lead 21, one end of which is projected into a device slit 11, the other end thereof being provided with an external lead 22 extended from the internal lead 21 beyond an external lead slit 14 and an electric selection pad 23 of an external connecting terminal at the end.

In the present embodiment, as shown in Figs. 4(a) and 4(b), a metal foil made of copper or the like and 18 to 50 μm thick is bonded on an insulating film having sprockets 1, which are carrying and positioning holes, the device slits 11, which

are at least two or more and provided like a slit to expose the bumps 7, and the external lead slits 14 with a support frame 13 and made of polyimide or the like with a thickness of 50 to 125 μ m, and the metal foil is etched or the like to form the lead 20 of a desired shape. The lead 20 is provided with an internal lead 21, an external lead 22, and an electric selection pad 23. Further, the lead 20 is plated 0.5 to 5 μ m thick with gold or tin by electroless plating or electrolytic plating to complete a film carrier tape 6. In the case of plating by an electrolytic plating method, a leading wiring for plating is provided from the electric selection pad 23 to perform that plating.

Subsequently, the internal leads 4 of the film carrier tape 6 and the bumps 7 of the metallic projections previously provided like a lattice on the electrode terminals of the semiconductor chip 2 are bonded, and a contact is brought into contact with the electric selection pad 23 to perform electric selection and bias test. Thus, a film carrier semiconductor device is completed.

In this case, one end of the internal lead 21 of the film carrier tape is projected into the device slit 11, so that the number of lattice-like arrays of electrodes of the semiconductor chip can be increased by increasing the number of the device slits 11.

In the packaging method of the present embodiment, the

support part 13 of Fig. 4 is cut off, and the external lead 22 is cutoff and formed in the vicinity of the outer peripheral edge of the external lead slit 14 to separate the semiconductor device from the film carrier tape as shown in Fig. 5(a). Subsequently, as shown in Fig. 5(b), with the surface of the semiconductor chip 2 down, previously an external lead 12 of the film carrier semiconductor device is bonded to a bonding pad 10 or a bonding pad of a printed wiring board 8 provided with desired wiring by outer lead bonding to complete the device.

Although packaging is performed to the printed wiring board with the chip surface down in the present embodiment, it is also possible to perform packing with the surface up by making the external lead 22 enough long and forming the same into a desired shape.

Fig. 6(a) is a longitudinal section of a fourth embodiment of the invention. Although the present embodiment has the same structure as the third embodiment, an internal lead 21 of a film carrier tape 6 is connected to a bump 7 of a semiconductor chip 2 with the surface of a lead 20 of the film carrier tape down conversely to the third embodiment, and further, similarly to the second embodiment, resin 15 is sealed up to cover the surface of the semiconductor chip 2 at least.

In a manufacturing method of the present embodiment, similarly to the third embodiment, the film carrier tape 6 and

the semiconductor chip 2 provided with the bumps 7 like a lattice on the electrode terminals are prepared, and as shown in Fig. 6(a), with the lead 20 surface of the film carrier tape down, the internal lead 21 and the bump 7 of the semiconductor chip 2 are bonded by inner lead bonding. Subsequently, similarly to the second embodiment, resin 15 is sealed up to cover the surface of the semiconductor chip 2 at least. In this case, a contact is brought into contact with the upside of the electric selection pad 23 to perform electric selection or a bias test. Thus, the film carrier semiconductor device is completed.

As to a packaging method, similarly to the third embodiment, a support part 13 is cut off, and an external lead 22 is cut off and formed in the vicinity of the outer edge of an external lead slit to separate the semiconductor device from the film carrier tape 6. After that, as shown in Fig. 6(b), with the surface of the semiconductor chip 2 down, previously the external lead 22 of the film carrier semiconductor device is bonded to a bonding pad 10 or a bonding pad 10 of a printed wiring board 8 provided with desired wiring by outer lead bonding. Similarly to the third embodiment, with the surface up, packaging to the printed wiring board can be performed.

In the present embodiment, the film carrier tape is located between the lead 15 of the film carrier tape 6 and the bonding pad 10 or the wiring of the printed wiring board 8,

whereby short-circuit between the lead 20, the bonding pad 10 and the wiring can be completely prevented, and further the reliability such as moisture resistance can be improved and mechanical strength can be increased by resin sealing. Therefore, in the process of handling or packaging to the printed wiring board, it is possible to prevent deformation or the like of the lead and the film tape part located on the surface of the semiconductor chip. As the thickness of the resin 15, about 10 to 20 μm may be enough, but in order to attain the satisfactory mechanical strength, preferably the range is such that the space between the semiconductor chip 2 and the part of the film tape 6 is filled up with resin, so about 50 to 300 μm is suitable.

[Advantage of the Invention]

According to the invention, as described above, the semiconductor chip having the electrode terminals arrayed like a lattice suitable for multi-electrode is adopted to relax the limit in number of arrayed electrode terminals caused in the conventional film carrier semiconductor device and enable multi-electrode, and as to the problem such as cracks and peel off in the bonding part due to a difference in thermal expansion between the semiconductor chip and the printed wiring board, which has been caused in the conventional flip chip bonding in which the semiconductor chip where the electrode terminals are arrayed like a lattice is directly bonded with the surface

down to the semiconductor chip, the invention has the effect of remarkably relaxing the problem by the leads. Further the connection to the printed wiring board is made in the vicinity of the electrode terminals on the semiconductor chip to minimize the length of the lead so that the electric resistance of the lead can be held down to the minimum, which leads to the advantage of being suitable for high-speed information processing.

As to the lead resistance between the semiconductor chip and the printed wiring board, although it is disadvantageous that the lead is longer as compared with the flip chip bonding, as compared with the case of wiring in the semiconductor chip and providing the electrode terminals on the semiconductor chip edge as in the conventional film carrier semiconductor device, in the invention, wiring is made by the leads of the film carrier tape so that lead resistance can be remarkably reduced as compared with the conventional film carrier semiconductor device to attain high-speed processing.

4. Brief Description of the Drawings

Figs. 1(a) and (b) are a plan view of one embodiment of a film carrier semiconductor device according to the invention, and a sectional view taken along A - A' thereof;

Fig. 2 is a longitudinal section showing an example of packaging the film carrier semiconductor device of the present

embodiment;

Fig. 3 is a longitudinal section of a second embodiment according to the invention;

Figs. 4(a) and (b) are a plan view of a third embodiment according to the invention and a sectional view taken along line A - A' thereof;

Figs. 5(a) and (b) are sectional views showing the process of packaging the third embodiment and the packaged state thereof;

Figs. 6(a) and (b) are sectional views showing a fourth embodiment of the invention and the packaged state thereof;

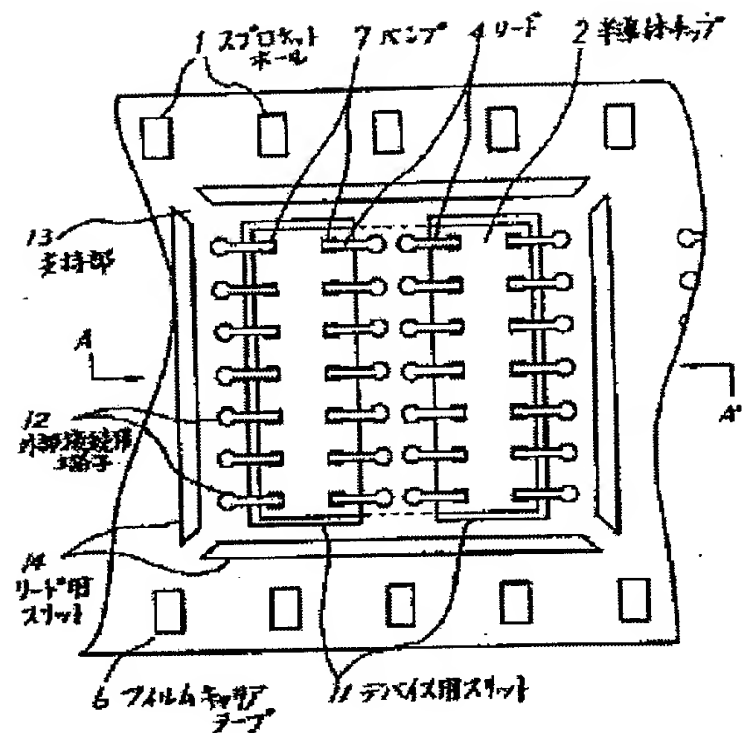
Figs. 7(a) and (b) are a plan view of an example of the conventional film carrier semiconductor device and a longitudinal section of the packaged state thereof; and

Figs. 8(a) and (b) are a plan view of the general film carrier semiconductor device and a longitudinal section of the packaged state thereof.

1: sprocket hole 2, 2': semiconductor chip 3: device hole 4, 4', 20: lead 5, 23: selection pad 6: film carrier tape 7, 7': bump 8, 8': printed wiring board 9: adhesive 10: bonding pad 11: device slit 12: external connecting terminal 13: support part 14: tape slit 15: resin 21: internal lead 22: external lead

FIGURE 1(A)

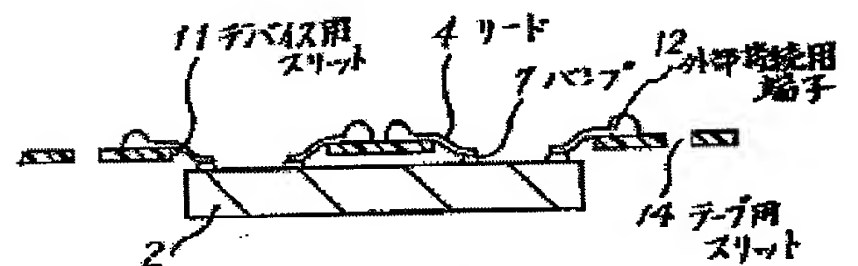
- 1: SPROCKET HOLE
- 2: SEMICONDUCTOR CHIP
- 4: LEAD
- 6: FILM CARRIER TAPE
- 7: BUMP
- 11: DEVICE SLIT
- 12: EXTERNAL CONNECTING TERMINAL
- 13: SUPPORT PART
- 14: LEAD SLIT



第 1 図 (a)

FIGURE 1(B)

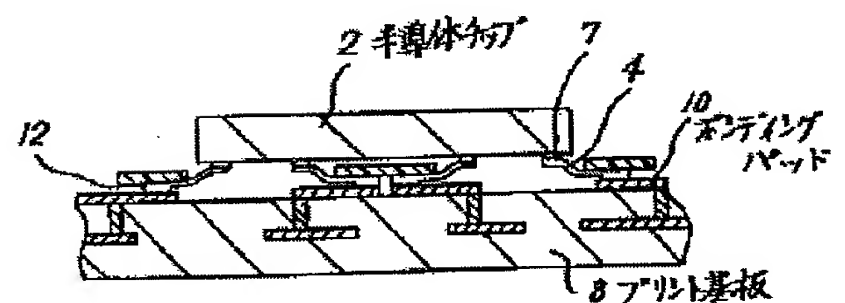
- 4: LEAD
- 7: BUMP
- 11: DEVICE SLIT
- 12: EXTERNAL CONNECTING TERMINAL
- 14: TAPE SLIT



第 1 図 (b)

FIGURE 2

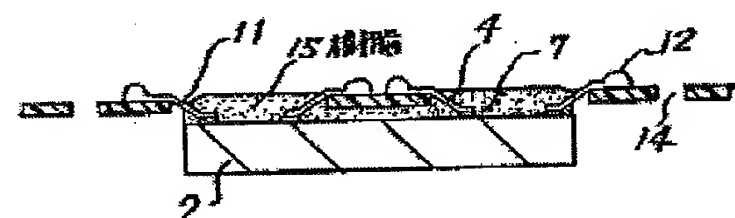
- 2: SEMICONDUCTOR CHIP
- 8: PRINTED WIRING BOARD
- 10: BONDING PAD



第 2 図

FIGURE 3

- 15: RESIN



第 3 図

FIGURE 4 (A)

2: SEMICONDUCTOR CHIP

6: FILM CARRIER TAPE

7: BUMP

11: DEVICE SLIT

13: SUPPORT PART

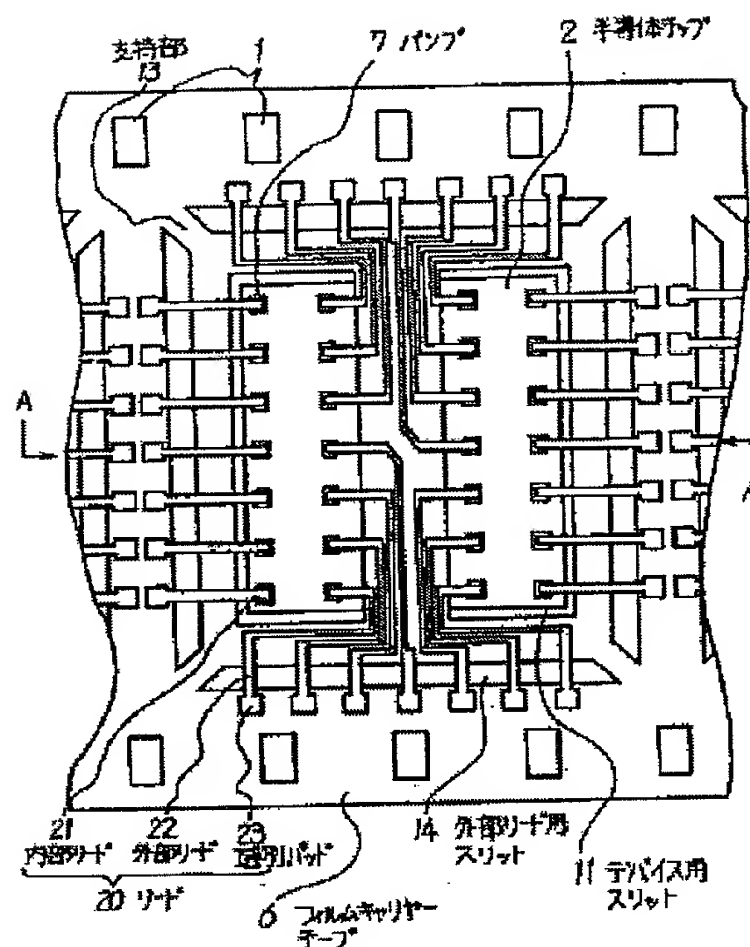
14: EXTERNAL LEAD SLIT

20: LEAD

21: INTERNAL LEAD

22: EXTERNAL LEAD

23: SELECTION PAD



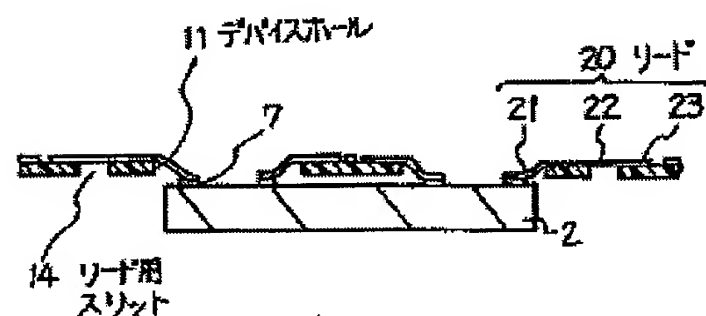
第 4 図 (A)

FIGURE 4 (B)

11: DEVICE HOLE

14: LEAD SLIT

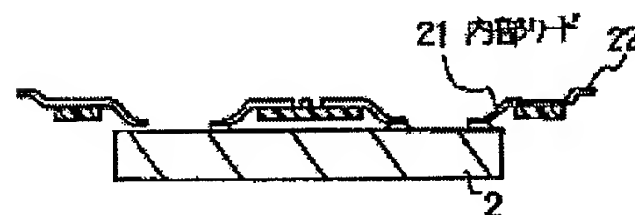
20: LEAD



第 4 図 (B)

FIGURE 5 (A)

21: INTERNAL LEAD



第 5 図 (A)

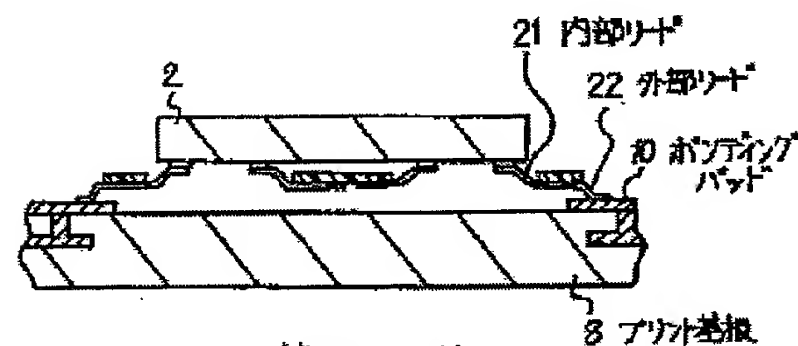
FIGURE 5 (B)

8: PRINTED WIRING BOARD

10: BONDING PAD

21: INTERNAL LEAD

22: EXTERNAL LEAD



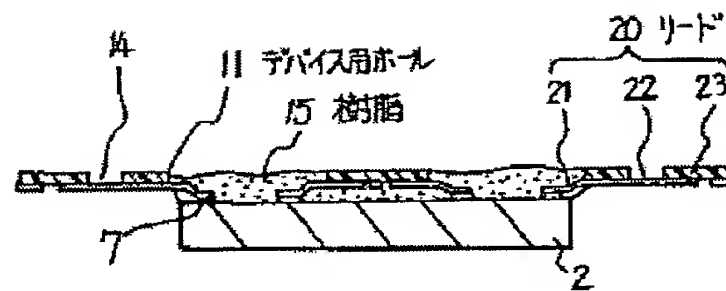
第 5 図 (B)

FIGURE 6(A)

11: DEVICE HOLE

15: RESIN

20: LEAD



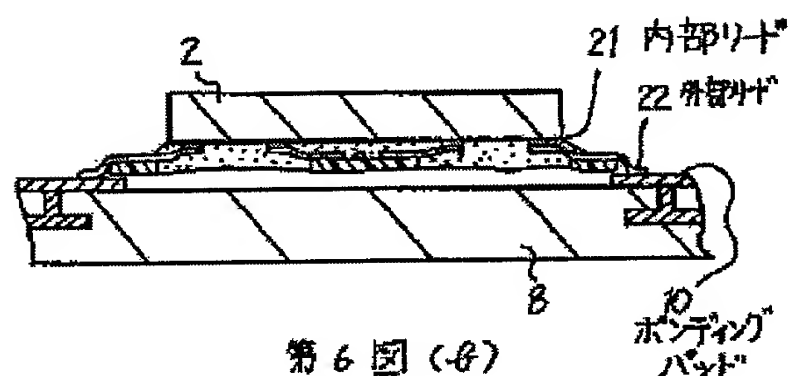
第6図(a)

FIGURE 6(B)

10: BONDING PAD

21: INTERNAL LEAD

22: EXTERNAL LEAD



第6図(b)

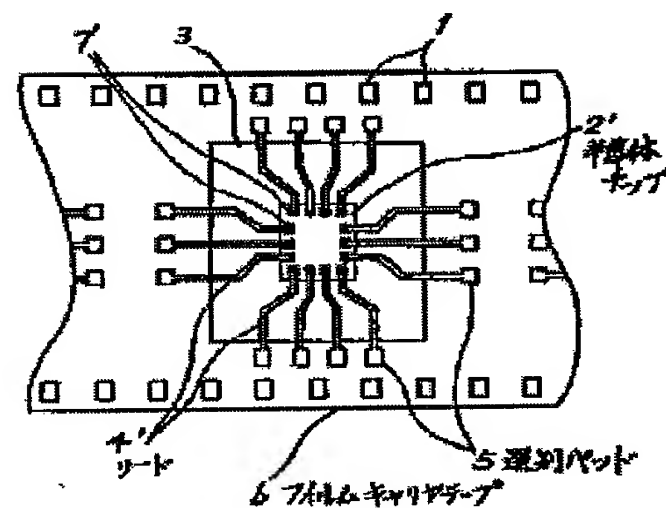
FIGURE 7(A)

2': SEMICONDUCTOR CHIP

4': LEAD

5: SELECTION PAD

6: FILM CARRIER TAPE



第7図(a)

FIGURE 7(B)

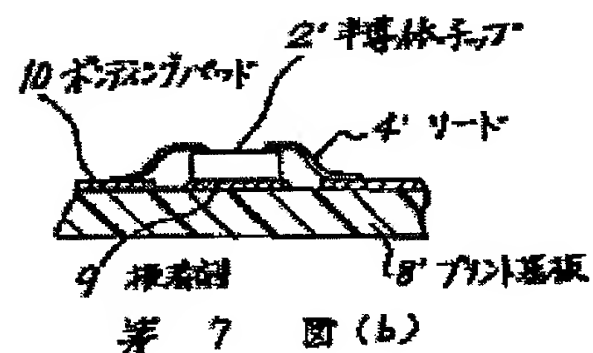
2': SEMICONDUCTOR CHIP

4': LEAD

8': PRINTED WIRING BOARD

9: ADHESIVE

10: BONDING PAD

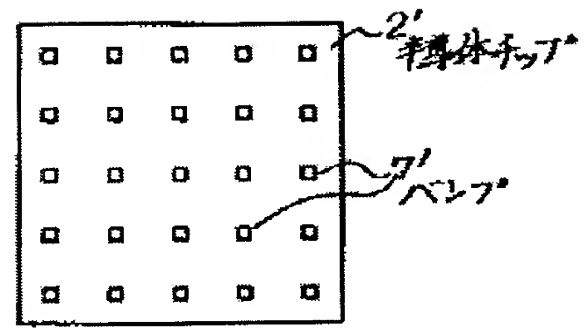


第7図(b)

FIGURE 8(A)

2' : SEMICONDUCTOR CHIP

7' : BUMP

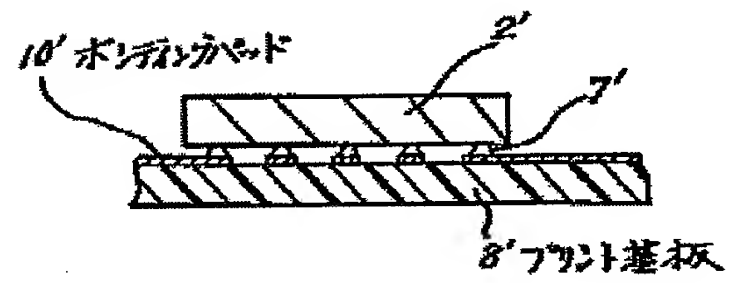


第 8 図 (a)

FIGURE 8(B)

8' : PRINTED WIRING BOARD

10' : BONDING PAD



第 8 図 (b)

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭64-81330

⑬ Int.Cl.⁴
H 01 L 21/60

識別記号 庁内整理番号
R-6918-5F

⑭ 公開 昭和64年(1989)3月27日

審査請求 未請求 発明の数 1 (全8頁)

⑮ 発明の名称 フィルムキャリアー半導体装置

⑯ 特 願 昭62-240014

⑰ 出 願 昭62(1987)9月24日

⑱ 発 明 者 竹 川 光 一 東京都港区芝5丁目33番1号 日本電気株式会社内
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

フィルムキャリアー半導体装置

2. 特許請求の範囲

(1) 格子状に配列された多数の電極端子上にそれぞれ半導体突起部のパンプが設けられた半導体チップと、

この半導体チップを載置する絶縁テープからなり、このテープの両側に配列された搬送および位置決め用孔と、前記半導体チップの各パンプが2列ごとに露出するよう設けられた複数のデバイス用スリットとを有し、前記絶縁テープ上に設けられた多数の外部接続用端子から前記デバイス用スリット内の前記各パンプに対応して延長された多数のリードとを設けたフィルムキャリアーテープとを備え、

このフィルムキャリアーテープの各リードと前記半導体チップの各パンプとが接続されているこ

とを特徴とするフィルムキャリアー半導体装置。

(2) フィルムキャリアーテープの外部接続用端子が各デバイス用スリットの両側に設けられたものである特許請求の範囲第1項記載のフィルムキャリアー半導体装置。

(3) フィルムキャリアーテープが、デバイス用スリットの周囲に四隅で支持部を残して設けられ各半導体チップを分離する外部リード用スリットを有するものである特許請求の範囲第1項記載のフィルムキャリアー半導体装置。

(4) フィルムキャリアーテープ上に設けられたリードが、パンプ上からデバイス用スリットに一端を突出させた内部リードと、この内部リードから外部リード用スリットの外縁まで延長された外部リードと、この外部リードの先端に設けられた外部接続用端子のパッド部とを有するものである特許請求の範囲第3項記載の^{フィルム}~~テープ~~キャリアー半導体装置。

(5) 少なくとも半導体チップの表面が樹脂封止されたものである特許請求の範囲第1項、第2項、第

特開昭64-81330(2)

3項あるいは第4項記載のフィルムキャリア半導体装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はフィルムキャリア半導体装置に関し、特に超多数リードを有するフィルムキャリア半導体装置に関する。

〔従来の技術〕

従来のフィルムキャリア方式による半導体装置の製造方法は、第7図(a)に示す如く、搬送及び位置決め用のスプロケットホール1と、半導体チップ2'が入る開孔部であるデバイスホール3を有するポリイミド等の絶縁フィルム上に銅等の金属箔を接着し、金属箔をエッチング等により所望の形状のリード4'と電気選別のためのパッド5と

(以下余白)

る。

〔発明が解決しようとする問題点〕

上述した従来のフィルムキャリア半導体装置は、最近の半導体チップの能力増加にともなう電極端子数の増加や処理スピードの高速化により種々の問題が生じている。

即ち、半導体チップの電極端子は通常半導体チップ周縁に沿って一列に配列されるが、電極端子数が約300以上の多数になると、電極端子を配列することで半導体チップのサイズが決定されることが多く、電極端子数の増加に伴って半導体チップのサイズも増大することになる。半導体チップサイズの増大は、一般に歩留や情報処理スピードの低下または実装密度の増加等の問題を引き起こす。電極端子の配列ピッチを小さくすればこのような問題は解決するが、フィルムキャリアテープの製造上の問題、インナーリードボンディングの精度上の問題等の幾つかの問題があり、配列ピッチの縮小化にも限度がある。また、半導体チップまたは半導体チップを搭載した電子装置の

を形成したフィルムキャリアテープ6と、あらかじめ電極端子上に金属突起物であるパンプ7'を設けた半導体チップ2'とを準備し、次にフィルムキャリアテープのリード4と半導体チップのパンプ7とを熱圧着法、または共晶法等によりインナーリードボンディングし、フィルムキャリアテープ6の状態で電気選別用パッド5上に接触子を接触させて電気選別やバイアス試験を実施し、次にリード4を所望の長さに切断する。ついで、例えば第7図^(b)に示すようにプリント基板8'上に接着剤9により半導体チップ2'を固着後、リード4をプリント基板上のボンディングパッド10にアウトーリードボンディングを行なうことにより完成させている。

このようなフィルムキャリア方式による半導体装置の製造方法は、ボンディングがリードの致と無関係に一度で可能であるためスピードが速いこと、フィルムキャリアテープを使用するためボンディング等の組立と電気選別作業の自動化がはかれ、量産性が優れている等の利点を有してい

処理スピードの高速化については、半導体チップの電極とプリント基板のボンディングパッドとを結んでいるリードの抵抗による遅延時間が問題となる場合があり、特にリードが多数化するに従いリードの配列ピッチが縮小化されることによりリード幅が縮小化され、リード抵抗が増加する結果となる。

これらの半導体チップサイズの増大とリード抵抗の増加は、特に多数の半導体チップを搭載し、また高速情報処理が要求されるコンピュータ等の情報処理装置に対しては致命的な欠陥となる場合がある。

このような問題に対して第8図(a)、第8図^(b)に示すように半導体チップ2'表面に格子状に電極端子を形成し、その電極端子上にパンプ7'を設けておき、プリント基板上に形成したボンディングパッド10にパンプ7'を直接ボンディングするフリップチップ方式が採用されている。このフリップチップ方式の場合、電極端子が半導体チップ周縁に限らず半導体チップ表面全体に配置可能で

特開昭64-81330(3)

あり多数リード化に対応でき、また半導体チップの電極端子とプリント基板のボンディングパッドとが直接ボンディングされているため、リード抵抗分が無く処理スピードの高速化に対応できる上、実装密度の向上もはかれるという利点がある。

しかし一般に半導体チップがシリコンからなりプリント基板がセラミックまたは絶縁樹脂からなっており、シリコンと基板材料との熱膨張係数が異なるため、半導体チップ動作時に発熱する熱による熱膨張差がボンディング部に少なからず影響を与え、ボンディング部にクラックやハガレが生じるといった問題があった。特に、高速動作する半導体チップは発熱量が大きく、また半導体チップはパンプ7のみで接続しているため半導体チップの熱放散性も悪いという欠点もあり、フリップチップ方式で多数電極端子の半導体装置については多くの問題がある。

本発明の目的は、これらの問題点を解決し、電極端子の格子状配列に対応可能であると共に、リードを介してボンディングを行なうので、ボンデ

ィング部への熱衝撃を緩和できるようにしたフィルムキャリア半導体装置を提供することにある。

〔問題点を解決するための手段〕

本発明のフィルムキャリア半導体装置は、格子状に配列された多数の電極端子上にそれぞれ半導体突起部のパンプが設けられた半導体チップと；この半導体チップを載置する絶縁テープからなり、このテープの両側に配列された搬送および位置決め用孔と、前記半導体チップの各パンプが露出するよう設けられた複数のデバイス用スリットとを有し、前記各半導体チップを分離するようにこれら半導体チップごとに設けられたテープ用スリットとを有し、前記デバイス用スリットの両側で前記絶縁テープ上に設けられた多数の外部接続用端子から前記デバイス用スリット内の前記各パンプに対応して延長された多数のリードとを設けたフィルムキャリアテープと；このフィルムキャリアテープの各リードと前記半導体チップの各パンプとが接続されていることを特徴とする。

〔実施例〕

次に、本発明について図面を参照して説明する。
第1図^(a)は本発明の一実施例の平面図、第1図^(b)は第1図^(a)のA-A'断面図である。本実施例は、半導体チップ2のパンプ7が格子状に配列されている。また、フィルムキャリアテープ6は、搬送及び位置決め用の孔であるスプロケットホール1と、半導体チップ2のパンプ7が露出するようになくとも2つ以上でスリット状に設けられたデバイス用スリット11と、デバイス用スリットに一方端を突出させ他方端に外部接続用端子12を設けたリード4と、このリード4と外部接続用端子12とを囲み支持部13を残してリード用スリット14とが設けられている。フィルムキャリアテープ6のリード4は、半導体チップ2のパンプ7と接続されている。

このフィルムキャリア半導体装置の製造方法を説明する。

図に示すように、搬送及び位置決め用の孔であるスプロケットホール1と半導体チップの電極であるパンプ7が露出するようになくとも2つ以

上でスリット状に設けられたデバイス用スリット11及び支持棒13を残してリード用スリット14を有する絶縁フィルム上に銅等の金属箔を接着し、金属箔をエッチング等により所望の形状のリード4と外部接続用端子12を形成し無電解メッキ法により銅等のメッキを行なったフィルムキャリアテープ6と、あらかじめ格子状に電極端子上に金属突起物であるパンプ7を設けた半導体チップ2とを準備し、フィルムキャリアテープのリード4と半導体チップのパンプ7とをインナーリードボンディングする。

ここでフィルムキャリアテープのリード4はデバイス用ホール11内に一方端を突出させており、デバイス用ホール11の数を増加させることにより半導体チップの電極の格子状配列数を増加させることができる。また、インナーリードボンディングにおいては、圧着治具をデバイス用ホールに対応させて圧着部を凸部に形成しておけば、従来と同様の方法で実施することができる。さらに、外部導出用端子12は後工程のアウトリー

特開昭64-81330(4)

ドボンディングが容易なように半田等により突起状に形成しておくことも可能である。

次に、フィルムキャリアテープの支持部13を切断し、インナーリードボンディングが完了した半導体チップ2をフィルムキャリアテープから分離する。

次に、第2図に示すように半導体チップの表面を下にするフェイスダウンにて、あらかじめボンディングパッド10や、所望の配線を設けたプリント基板8のボンディングパッド10に、フィルムキャリアテープの外部接続用端子12とをアウターリードボンディングして完成する。このとき、従来の圧着治具によるボンディングを実施することは不可能であるため、外部接続用端子12上に設けられた突起状の半田を溶解することによってボンディング可能である。

なお、本実施例においては、突起状の半田をフィルムキャリアテープの外部接続用端子12上に設けたが、プリント基板のボンディングパッド上に設けても、また両方に設けても良い。突起高

様に実施でき、メッキ厚としては0.1~0.3μm以上あれば可能である。

第3図は本発明の第2の実施例の縦断面図である。第1の実施例の場合と同様に、半導体チップ2にパンプ7が格子状に配列され、また半導体チップのバンプが露出するように少なくとも2つ以上でスリット状に設けられたデバイス用スリット11と、デバイス用スリットに一方端を突出させ他方端に外部接続用端子12を設けたリード4と、このリード4と外部接続用端子12とを囲みテープ用スリット14が設けられている。フィルムキャリアテープのリード4は半導体チップのバンプ7と接続されている。さらに少なくとも半導体チップ表面を被覆するように樹脂15が封止されている。

以上に示したフィルムキャリア半導体装置の製造方法を次に説明する。第1の実施例と同様に、第1図(a),(b)に示すように、搬送及び位置決め用の孔であるスプロケットホール1と半導体チップの電極であるバンプが露出するように、少なく

さとしては10~50μm程度が適当である。

また、テープ用スリット14は、インナーリードボンディング後のテープ切断を容易にするために設けたものであるためスリット幅としては0.5~1mm程度で良く、またリード4と外部接続用端子12とを囲むようにフィルムキャリアを切断すれば、テープ用スリット14と支持部13は不要である。

さらに、フィルムキャリアテープの材料としては、一般に使用されている127μm厚のポリイミドフィルムに35μm厚の銅箔を接着し、リードを形成したものでも良いが、熱膨張等による寸法変化により、外部接続端子とプリント基板のボンディングパッドとの接続部への影響を避けるため、75~100μm厚のポリイミドフィルムで、かつ熱膨張係数は $1.5 \times 10^{-5} \text{ cm/cm/}^{\circ}\text{C}$ 程度以下のものが適当である。

さらに、リードメッキとしては、無電解メッキ法が容易な銅が適切であり、メッキ厚は0.3~1μm程度で可能である。無電解の金メッキでも同

とも2つ以上でスリット状に設けられたデバイス用スリット11及び支持部13を残して、テープ用スリット14を有する絶縁フィルム上に銅等の金属箔を接着し、金属箔をエッチング等により所望の形状のリードと外部接続用端子12を形成し、無電解メッキ法により銅等のメッキを行なったフィルムキャリアテープ6と、あらかじめ格子状に電極端子上に金属突起物であるバンプ7を設けた半導体チップ2とを準備し、フィルムキャリアテープのリード4と半導体チップのバンプ7とをインナーリードボンディングする。

ついで、第3図に示すように、少なくとも半導体チップ表面を被覆するように樹脂15を封止する。樹脂はエポキシ樹脂またはシリコン樹脂等の液状のものを使用し、かつデバイス用スリット14から滴下すれば容易に半導体チップ表面を被覆封止することができる。

次に、第1の実施例と同様にフィルムキャリアテープの支持部13を切断し、半導体チップ2をフィルムキャリアテープから分離し、第3図

特開昭64-81330(5)

に示すように、フェイスダウンにてプリント基板 8 のボンディングパッド 10 にフィルムキャリアテープの外部接続用端子 12 とをアウターリードボンディングして完成する。

ここで第 2 の実施例においては、半導体チップ 2 の表面が樹脂封止されているため、耐湿性等の信頼性の向上が図られる他、機械的強度も増加するため、プリント基板にフェイスダウンでアウターリードボンディングを行なう際、半導体チップ表面から荷重をかけた場合においても半導体チップ表面に位置する外部接続用端子を設けたフィルムが変形することなくボンディング可能であり、高信頼性のボンディングが得られるという利点を有する。樹脂厚としては 10~20 μm 程度で十分であるが、機械的強度を十分にするため、半導体チップと半導体チップ上に位置するフィルムとの間に樹脂が埋まり、かつテープキャリアフィルム上の外部接続用端子の高さを超えない範囲が良く、50~120 μm 程度が適当である。

〔発明の効果〕

法または電解メッキ法により金・銅等のメッキを厚さ 0.5~5 μm 程度行ないフィルムキャリアテープ 6 が完成する。なお、電解メッキ法でメッキを行なう場合は、電気選別用パッド 23 からメッキ用引出し配線を設けることにより実施可能である。

次に、このフィルムキャリアテープ 6 の内部リード 4 と、半導体チップ 2 の電極端子上にあらかじめ格子状に設けた金属突起物のパンプ 7 とをボンディングし、電気選別用パッド 23 に接触子を接触させて電気選別やバイアス試験を実施してフィルムキャリア半導体装置が完成する。

ここでフィルムキャリアテープの内部リード 21 はデバイス用スリット 11 に一方端を突出させており、このデバイス用スリット 11 の数を増加させることにより半導体チップの電極の格子状配列数を増加させることができる。

本実施例の実装方法は、第 4 図の支持部 13 を切断するとともに、外部リード 22 を外部リード用スリット 14 の外側縁近傍で切断及び成形を行

第 4 図(a)、(b)は本発明の第 3 の実施例の平面図およびその A-A' 断面図である。本実施例は、第 1 の実施例に対し、リードの構成を異らせたものであり、リード 20 が、デバイス用スリット 11 に一方端を突出させた内部リード 21 を設け、他方に外部リード用スリット 14 を越えてこの内部リード 21 から延長された外部リード 22 と端部に外部接続端子の電気選別用パッド 23 とを設けたものになっている。

本実施例は、第 4 図(a)、(b)に示すようにスプロケットホール 1 と、パンプ 7 が露出するように少なくとも 2 つ以上でスリット状に設けられたデバイス用スリット 11 と、支持部 13 のある外部リード用スリット 14 とを有するポリイミド等からなる厚さ 50~125 μm の絶縁フィルム上に、厚さ 18~50 μm の銅等の金属箔を接合し、金属箔をエッチング等により所望の形状のリード 20 を形成する。このリード 20 には、内部リード 21、外部リード 22 及び電気選別用パッド 23 が設けられている。さらに、リード 20 に無電解メッキ

ない、第 5 図(a)に示すように半導体装置をフィルムキャリアテープから分離する。次に第 5 図(b)に示すように、半導体チップ 2 の表面を下にするフェイスダウンにて、あらかじめボンディングパッド 10 や所望の配線を設けたプリント基板 8 のボンディングパッドにフィルムキャリア半導体装置の外部リード 12 を外部リードボンディングして完成する。

なお、本実施例においては、フェイスダウンでプリント基板に実装したが、外部リード 22 の長さを十分にとって、所望の形状に成形することによりフェイスアップでの実装も可能である。

第 6 図(a)は本発明の第 4 の実施例の縦断面図である。本実施例は、第 3 実施例の場合と同様の構造であるが、フィルムキャリアテープ 6 の内部リード 21 が第 3 の実施例とは逆にフィルムキャリアテープのリード 20 の面を下にしたフェイスダウンで半導体チップ 2 のパンプ 7 と接続され、さらに第 2 の実施例と同様に少なくとも半導体チップ 2 の表面を被覆するように樹脂 15 により封

特開昭64-81330(6)

止されている。

本実施例の製造方法は、第3の実施例と同様に、フィルムキャリアテープ6と、格子状に電極端子上にパンプ7を設けた半導体チップ2とを準備し、第6図(a)に示すようにフィルムキャリアテープのリード20の面を下にしたフェイスダウンで、内部リード21と半導体チップ2のパンプ7とを内部リードボンディングする。次に、第2の実施例と同様に、少なくとも半導体チップ2の表面を被覆するように樹脂15を封止する。ここで電気通別用パッド23の上に接触子を接触させて電気通別やバイアス試験を実施してフィルムキャリア半導体装置が完成する。

また、実装方法は、第3の実施例と同様に、支持部13を切断するとともに、外部リード22を外部リード用スリットの外側縁近傍で切断及び成形を行ない、フィルムキャリアテープ6から半導体装置を分離後、第6図(b)に示すように、半導体チップ2の表面を下にするフェイスダウンにて、あらかじめボンディングパッド10や所望の配線

を設けたプリント基板8のボンディングパッド

10にフィルムキャリア半導体装置の外部リード22を外部リードボンディングして行う。なお、第3の実施例と同様に、フェイスアップでプリント基板に実装することも可能である。

この実施例では、フィルムキャリアテープ6のリード15とプリント基板8のボンディングパッド10や配線との間にフィルムキャリアテープが存在しているので、リード20とボンディングパッド10及び配線とのショートを完全に防止することができ、また樹脂封止により、耐湿性等の信頼性の向上が図れる他、機械的強度が増加するため、取り扱い中またはプリント基板への実装中において、リード及び半導体チップ表面に位置するフィルムテープ部分の変形等を防止することができる。なお、樹脂15の厚さとしては、10～20μm程度でもよいが、機械的強度を十分にするため、半導体チップ2とフィルムテープ6の部分の間に樹脂が埋まる範囲が良く、50～300μm程度が適当である。

〔発明の効果〕

以上説明したように本発明は、多数電極化に適する格子状配列した電極端子を有する半導体チップを採用することにより、従来のフィルムキャリア半導体装置で生じていた電極端子散配列上の制限を緩和し、多数電極化を可能にし、かつ従来の電極端子を格子状配列した半導体チップをフェイスダウンで直接プリント基板にボンディングするフリップチップ方式で生じていた半導体チップとプリント基板との熱膨張差によるボンディング部へのクラックやハガレが生じるという問題点に対しても、リードを介することにより大幅に緩和されるという効果を有し、さらにプリント基板との接続は半導体チップ上の電極端子近傍で行ない、リードの長さを最小限におさえることにより、リードの電気抵抗を最小限にすることが可能となり、高速情報処理に対しても適するという利点を有する。

なお、半導体チップとプリント基板との間のリード抵抗については、フリップチップ方式と比べ

るとリードが長くなるため不利であるが、従来のフィルムキャリア半導体装置の如く、半導体チップ内で配線して、半導体チップ縁に電極端子を設ける場合と比較して、本発明は、フィルムキャリアテープのリードにより配線することになるので、リード抵抗が従来のフィルムキャリア半導体装置より大幅に低減され、高速処理が可能となる。

4. 図面の簡単な説明

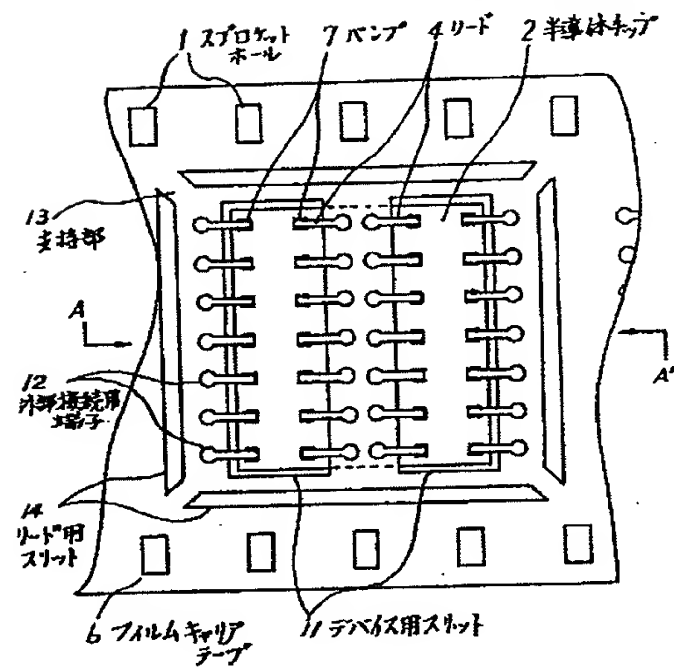
第1図(a)、(b)は本発明によるフィルムキャリア半導体装置の一実施例の平面図およびそのA-A'線断面図、第2図は本実施例のフィルムキャリア半導体装置を実装した例を示す縦断面図、第3図は本発明の第2の実施例の縦断面図、第4図(a)、(b)は本発明の第3の実施例の平面図およびそのA-A'線断面図、第5図(a)、(b)は第3の実施例の実装途中および実装時の断面図、第6図(a)、(b)は本発明の第4の実施例およびその実装時の断面図、第7図(a)、(b)は従来のフィルムキャリア

特開昭64-81330(7)

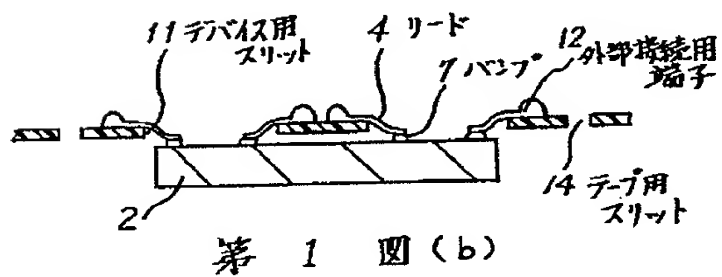
半導体装置の一例の平面図およびその実装時の縦断面図、第8図(a)、(b)は一般のフリップチップ半導体装置の平面図およびその実装時の縦断面図である。

1……スプロケットホール、2、2'……半導体チップ、3……デバイスボール、4、4'、20……リード、5、23……選別用パッド、6……フィルムキャリアテープ、7、7'……パンフ、8、8'……プリント基板、9……接着剤、10……ボンディングパッド、11……デバイス用スリット、12……外部接続用端子、13……支持部、14……テープ用スリット、15……樹脂、21……内部リード、22……外部リード。

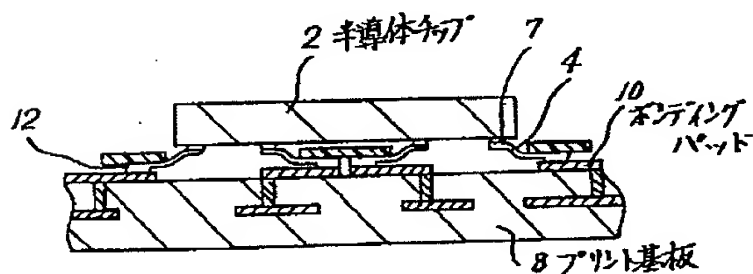
代理人 井理士 内 原 哲



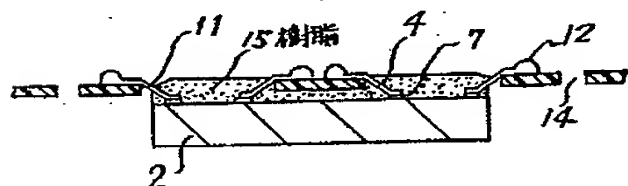
第 1 図 (a)



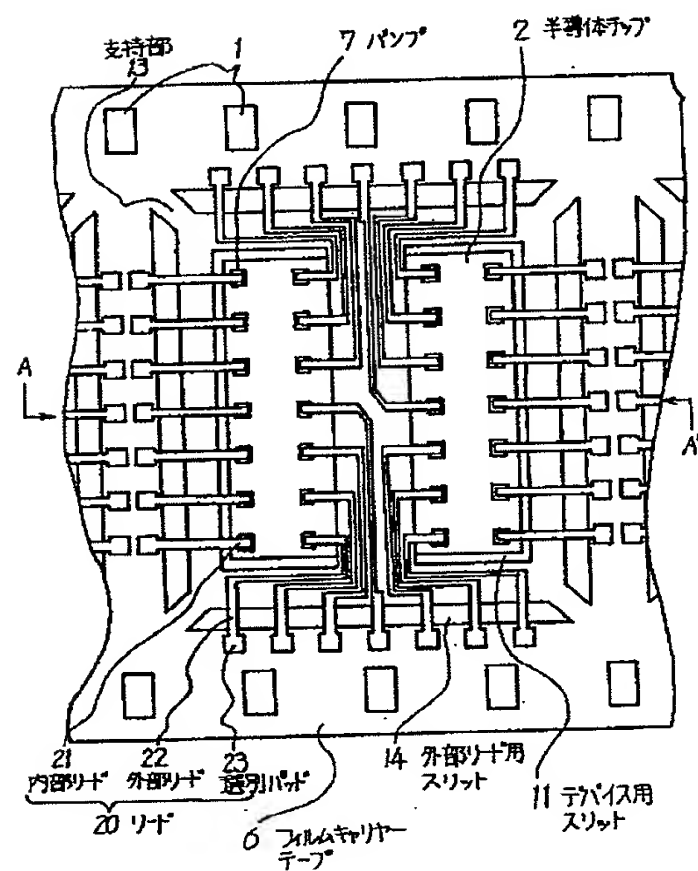
第 1 図 (b)



第 2 図

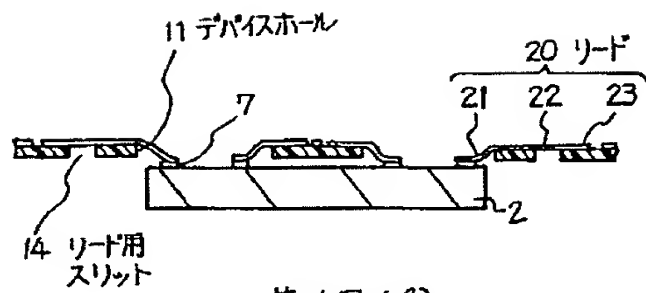


第 3 図

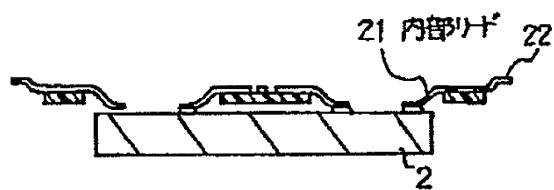


第 4 図 (a)

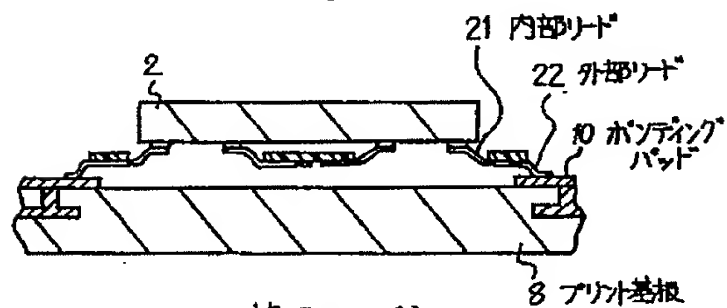
特開昭64-81330 (8)



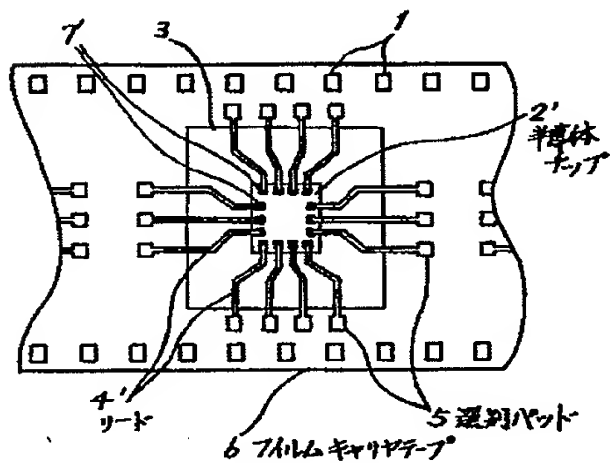
第 4 図 (b)



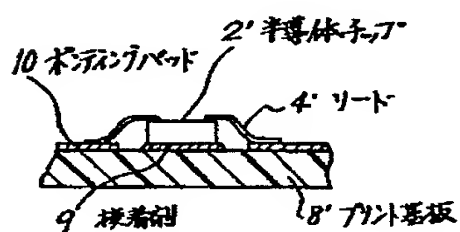
第 5 図 (a)



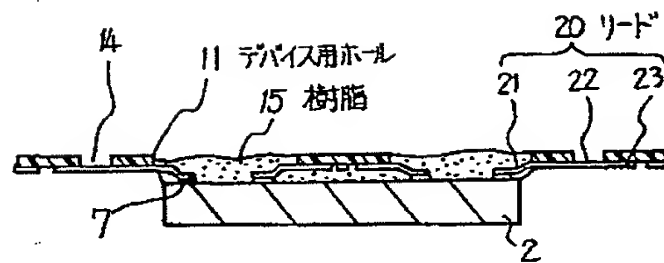
第 5 図 (b)



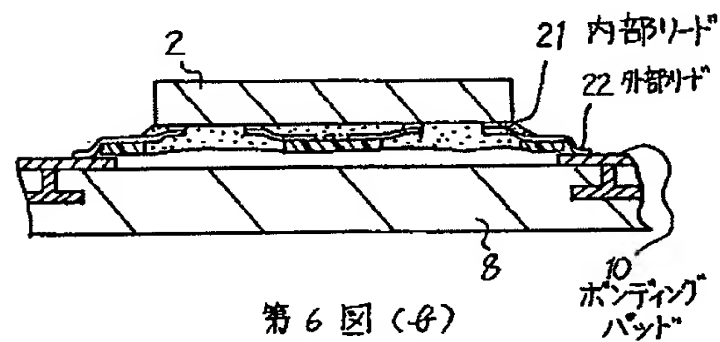
第 7 図 (a)



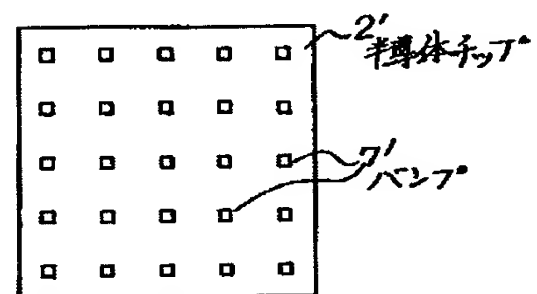
第 7 図 (b)



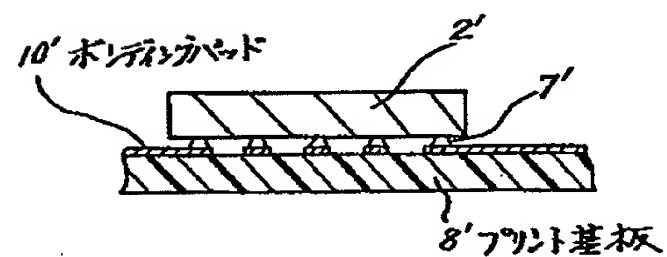
第 6 図 (a)



第 6 図 (b)



第 8 図 (a)



第 8 図 (b)